

## METHOD OF MEASURING MOSFET CAPACITANCE

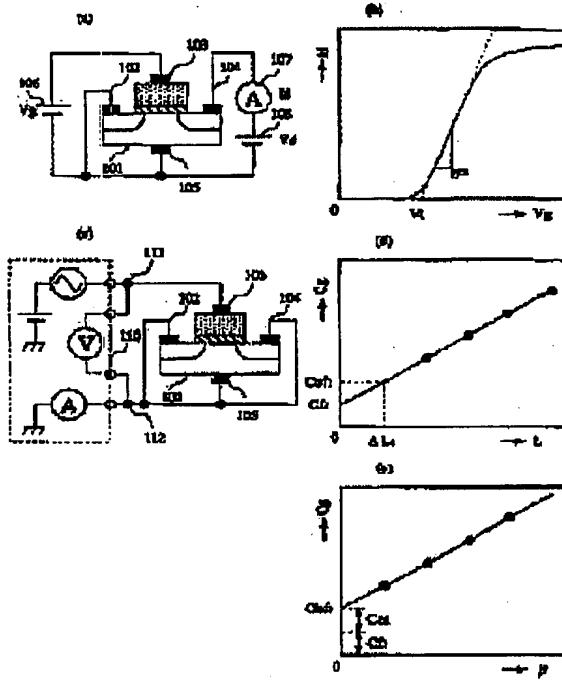
Patent number: JP11154696  
 Publication date: 1999-06-08  
 Inventor: TAMEGAYA YUKIO  
 Applicant: NIPPON ELECTRIC CO  
 Classification:  
     - international: H01L21/86; G01R31/26; H01L21/8234; H01L27/088  
     - european: JP19970319756 19971120  
 Application number: JP19970319756 19971120  
 Priority number(s): JP19970319756 19971120

[Report a data error here](#)

### Abstract of JP11154696

**PROBLEM TO BE SOLVED:** To accurately obtain a fringe capacitance and overlap capacitance, by finding and separating both capacitances from measured values.

**SOLUTION:** A method comprises steps of applying a gate voltage  $V_g$  to a gate electrode 103 of an MOSFET 101 with a DC current 106 fed to the electrode 103, connecting a DC current 108 to the drain electrode 104 through a DC ammeter 107 for measuring the drain current  $I_d$ , applying a drain voltage  $V_d$  to measure an  $I_d$ - $V_g$  characteristic of each gate length  $L$ , finding a threshold voltage  $V_t$  and mutual inductance  $gm$  from the  $I_d$ - $V_g$  characteristic to compute a transistor gain factor  $\beta$ , measuring a gate capacitance  $C_g$  every length  $L$  to make a  $C_g$ - $L$  characteristic curve, obtaining a fringe capacitance from the intersect of the  $C_g$  axis at  $L=0$  on the  $C_g$ - $L$  curve, and subtracting the fringe capacitance from the intersect of the  $C_g$  axis at  $\beta=0$  on a  $C_g$ - $\beta$  curve to find an overlap capacitance.



Data supplied from the [esp@cenfet](mailto:esp@cenfet) database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-154696

(43)公開日 平成11年(1999)6月8日

(51)Int.Cl.  
H01L 21/66  
G01R 31/26  
H01L 21/8234  
27/088

識別記号

F I  
H01L 21/66 Y  
G01R 31/26 B  
H01L 27/08 102C

審査請求 有 請求項の数2 OL (全6頁)

(21)出願番号

特開平9-319756

(22)出願日

平成9年(1997)11月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 織ヶ谷 幸夫

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74)代理人 弁理士 山下 雄平

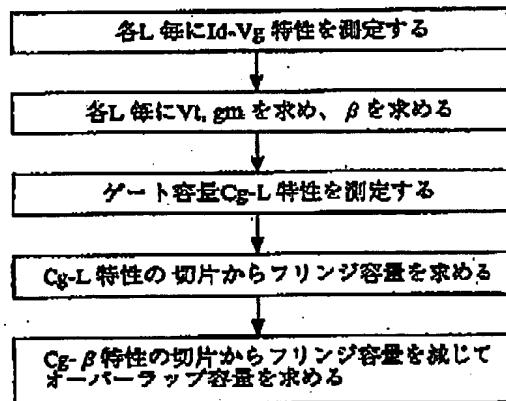
(54)【発明の名称】 MOSFET容量測定方法

(57)【要約】

【課題】 MOSFETの容量測定において、ゲート形状が矩形でない場合やゲート酸化膜が均一でない場合においても、フリンジ容量とオーバーラップ容量を正確に測定する方法を提供する。

【解決手段】 まず最初に、ゲート長の異なる複数のMOSFETについて  $I_d - V_g$  特性を測定する。次に、 $I_d - V_g$  特性から  $V_t$  と  $g_m$  を求め  $\beta$  を計算する。次に、各L毎にゲート容量を測定し、 $C_g - L$  特性を作成する。ここで、 $C_g - L$  特性の  $L = 0$  の  $C_g$  軸切片からフリンジ容量を求める。次に、 $C_g - \beta$  特性の  $\beta = 0$  の  $C_g$  軸切片からフリンジ容量を差し引いてオーバーラップ容量を求める。また、 $\beta - L$  特性の  $\beta = 0$  の  $L$  軸切片から  $\Delta L$  を求め、 $C_g - L$  特性の  $L = \Delta L$  での容量値からフリンジ容量を差し引いて、オーバーラップ容量を求めることができる。

本発明の測定フロー



1

## 【特許請求の範囲】

【請求項1】 同一ウェハー上に形成されたゲート長Lの異なる複数のMOSFETを用いて、各々 Id-Vd特性を測定し、閾値電圧Vtと相互インダクタンスgmからトランジスタ利得係数βを求め、前記MOSFETのゲート容量Cgを測定してCg-L特性を作成し、該Cg-L特性のL=0のCg軸切片からフリンジ容量を求め、Cg-β特性のβ=0のCg軸切片から前記フリンジ容量を減じてオーバーラップ容量を求める、ことを特徴とするMOSFET容量測定方法。

【請求項2】 前記βとしの関係をプロットし、β=0のL軸切片からオーバーラップ長△Lを求め、前記Cg-L特性のL=△Lでの容量値から、前記フリンジ容量を減じて、オーバーラップ容量を求ることを特徴とする請求項1記載のMOSFET容量測定方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、MOSFETの回路パラメータ測定に関し、特にゲートと拡散層間のオーバーラップ容量とフリンジ容量の測定方法に関する。

## 【0002】

【従来の技術】 従来、ゲートと拡散層間のオーバーラップ容量とフリンジ容量の測定は、論文Solid-State Electronics Vol. 33, No. 12, P. 1650-1652, 1990に示す様に、拡散層と基板間に逆バイアスを加えてゲートと拡散層間の容量を測定し、フリンジ容量を計算で求めた後、測定値からフリンジ容量を減じてオーバーラップ容量を求めていた。

【0003】 次に、図4を用いて詳細に説明する。図4(a)は、ゲートと拡散層間容量の測定回路である。容量測定器206は、HP4275Aを用いている。MOSFET201において、ゲート電極203は容量測定器206の低電位端子208に接続し、ソース電極202及びドレイン電極204は容量測定器206の高電位端子207に接続し、基板電極205は接地電位に接続する。容量測定器の内部直流電圧Vdを変化させながら、ゲートと拡散層間の容量Cgsdを測定する。図4(b)に示す様に、Vdを上げていくとCgsdが一定になるので、その値を読みとる。次にフリンジ容量Cfを計算で求める(BSIM3v3 Manual, 1985, p4-17, UC Berkeley)。

## 【0004】

$$C_f = 2 \epsilon_{ox} / \pi \cdot 1n (1 + t_{poly} / t_{ox})$$

ここに、 $\epsilon_{ox}$ は酸化膜の誘電率、 $t_{poly}$ はゲートポリシリコン厚、 $t_{ox}$ はゲート酸化膜厚である。従って、オーバーラップ容量Coは、次の様に求まる。

【0005】  $C_o = C_{gsd} - C_f$ 

## 【0006】

【発明が解決しようとする課題】 第1の問題点は、ゲー

ト断面形状が矩形の場合にのみフリンジ容量の計算式が適用され、ゲート形状が矩形でない場合やゲート酸化膜が均一でない場合は誤差を生ずるという欠点がある。

【0007】 その理由は、理想的なゲート形状を仮定して、フリンジ容量を計算で求めているからである。

【0008】 【発明の目的】 本発明の目的は、ゲート形状が矩形でない場合やゲート酸化膜が均一でない場合においても、フリンジ容量とオーバーラップ容量を正確に測定する方法を提供することにある。

## 【0009】

【課題を解決するための手段】 本発明のMOSFET容量測定方法は、同一ウェハー上に形成されたゲート長Lの異なる複数のMOSFETを用いて、各々 Id-Vd特性を測定し閾値電圧Vtと相互インダクタンスgmからトランジスタ利得係数βを求め、前記MOSFETのゲート容量Cgを測定しCg-L特性のL=0のCg軸切片からフリンジ容量を求め、Cg-β特性のβ=0のCg軸切片から前記フリンジ容量を減じて、オーバーラップ容量を求める。

【0010】 また、先に求めたβとしの関係をプロットし、β=0のL軸切片からオーバーラップ長△Lを求め、Cg-L特性のL=△Lでの容量値から、先に求めたフリンジ容量を減じて、オーバーラップ容量を求ることもできる。

【0011】 【作用】 本発明のMOSFET容量測定方法によれば、Cg-L特性の切片からフリンジ容量を求ることにより、ゲート形状が矩形でない場合やゲート酸化膜が均一でない場合でも正確に求めることができる。

## 【0012】

【発明の実施の形態】 図1に本発明の測定方法のフロー図を示す。まず初めに、ゲート長Lの異なる複数のMOSFETについて Id-Vg特性を測定する。次に、Id-Vg特性からVtとgmを求めβを計算する。次に、各々毎にゲート容量を測定し、Cg-L特性を作成する。ここで、Cg-L特性のL=0のCg軸切片からフリンジ容量を求める。次に、Cg-β特性のβ=0のCg軸切片からフリンジ容量を差し引いて、オーバーラップ容量を求める。

## 【0013】

【実施例】 【第1の実施例】 図2に本発明の第1の実施例を示す。図2(a)は、Id-Vg特性の測定回路である。MOSFET101のゲート電極103に直流電流106を接続しゲート電圧Vgを加え、ドレイン電極104にドレイン電流Id測定用の直流電流計107を通して直流電源108を接続しドレイン電圧Vdを加え、ソース電極102と基板電極105を低電位に接続している。ここで、Vgを連続的に変化させてIdを測定し、図2(b)に示す様な Id-Vg特性を測定する。この Id-Vg特性の線形領域に接線を引きX軸の

50

3

交点から閾値電圧 $V_t$ を求め、接線の傾きから相互コンダクタンス $g_m$ を求める。これらの値を用いて、論文 Proceedings of the 1996 IEEE International Conference on Microelectronic Test\*

$$\beta = Id^2 / \{gm \cdot Vd \cdot (Vg - Vt)^2\}$$

これらの測定及び計算を、各ゲート長に対して行なう。

[0015] 次に、ゲート容量の測定を行なう。図2 (c) は、 $C_g - L$ 特性の測定回路である。容量測定器110は、HP4275Aを用いている。MOSFET 101のゲート電極103に容量測定器110の高電位端子111を接続し、MOSFET 101のソース電極102、ドレイン電極104、基板電極105に容量測定器110の低電位端子112を接続している。容量測定は、MOSFET 101が十分にONして飽和状態になる様に、容量測定器110の直流バイアスをMOSFETの使用電源電圧くらいに設定し、ゲート長を変えて※

$$Co_1 = Cof_1 - Cf_1$$

また、ここで求めた $Co_1$ を用いて、図2 (d) よりオーバーラップ長 $\Delta L_1$ も求めることができる。

[0018] [第2の実施例] 図3に、本発明の第2の実施例を示す。 $\beta - L$ 特性の $\beta = 0$ のL軸切片から $\Delta L_1$ を求める、 $C_g - L$ 特性の $L = 0$ の $C_g$ 軸切片からフリンジ容量 $Cf_1$ を求める、 $L = \Delta L_1$ の値 $Co_1$ を用いてオーバーラップ容量 $Co_1$ を計算する。

[0019] 第1の実施例と同様に、 $Id - Vg$ 特性の測定を行ない、 $\beta$ を計算する。図3 (a) に示す様に、★

$$Co_1 = Cof_1 - Cf_1$$

[0021]

【発明の効果】本発明の効果は、フリンジ容量とオーバーラップ容量を、実測値から求め分離することにより、任意のゲート形状においても正確に求めることができ。その理由は、フリンジ容量を計算式からではなく、実測値から求めているからである。

【図面の簡単な説明】

【図1】本発明の測定フロー図である。

【図2】本発明の第1の実施例の説明図である。

【図3】本発明の第2の実施例の説明図である。

【図4】従来例の説明図である。

【符号の説明】

101 MOSFET

102 MOSFETソース電極

103 MOSFETゲート電極

104 MOSFETドレイン電極

\* t Structures, vol. 9, p 139-144 March 1996に示された式(1)の方法により、トランジスタ利得係数 $\beta$ を求める。

[0014]

4

$$\beta = Id^2 / \{gm \cdot Vd \cdot (Vg - Vt)^2\}$$

※測定し、図2 (d) に示す様な $C_g - L$ 特性を測定する。この $C_g - L$ 特性の $L = 0$ の $C_g$ 軸切片からフリンジ容量 $Cf_1$ を抽出する。

[0016] 次に、 $C_g - L$ 特性の $L$ を $\beta$ に置き換えて、図2 (e) に示す様な $C_g - \beta$ 特性を作成し、 $\beta = 0$ の $C_g$ 軸切片の容量値 $Co_1$ を読みとる。 $Co_1$ は、 $\beta = 0$ 時のゲート容量となるので、オーバーラップ容量 $Co_1$ とフリンジ容量 $Cf_1$ の合計となる。從って、オーバーラップ容量 $Co_1$ は次式(2)で求めることができる。

[0017]

(2)

20★  $\beta - L$ 特性の $\beta = 0$ のL軸切片からオーバーラップ長 $\Delta L_1$ を求める。次に、第1の実施例と同様に $C_g - L$ 特性を測定し、図3 (b) に示す様に、 $L = 0$ の $C_g$ 軸切片からフリンジ容量 $Cf_1$ を求める、また $L = \Delta L_1$ での値 $Co_1$ を求める。この $Co_1$ は、オーバーラップ容量 $Co_1$ とフリンジ容量 $Cf_1$ の和になっているので、オーバーラップ容量 $Co_1$ は、次式(3)で計算することができる。

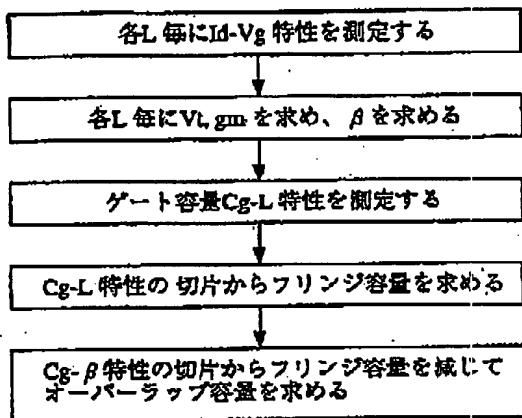
[0020]

(3)

30	105	MOSFET基板電極
	106	ゲート電圧(Vg)
	107	ドレイン電流計(Id)
	108	ドレイン電圧(Vd)
	110	容器測定器(HP4275A)
	111	容量測定高電位端子
	112	容量測定低電位端子
40	201	MOSFET
	202	MOSFETソース電極
	203	MOSFETゲート電極
	204	MOSFETドレイン電極
	205	MOSFET基板電極
	206	容器測定器(HP4275A)
	207	容量測定高電位端子
	208	容量測定低電位端子

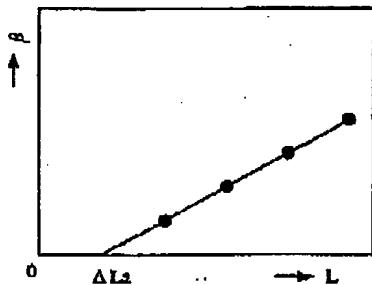
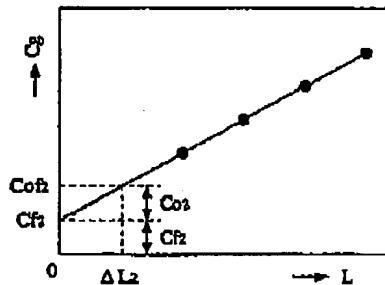
【図1】

## 本発明の測定フロー



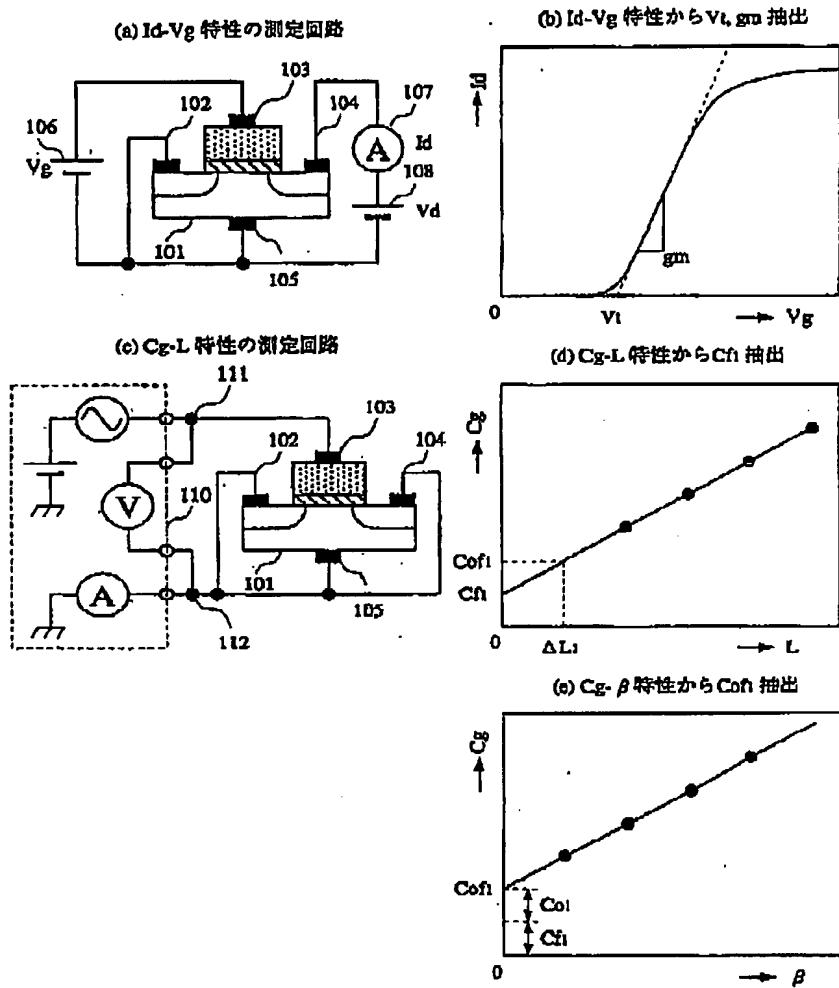
【図3】

## 本発明の第2の実験例

(a)  $\beta$ -L特性から $\Delta L_2$ 抽出(b) Cg-L特性から $C_{O2}$ ,  $C_{f2}$ 抽出

【図2】

本発明の第1の実施例



【図4】

従来例

